

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of :  
Doo Guen SONG :  
Serial No.: [NEW] : Mail Stop Patent Application  
Filed: February 12, 2004 : Attorney Docket No. SEC.1124  
For: METHOD OF TESTING LEVEL OF ION IMPLANTATION ENERGY IN  
ION IMPLANTATION EQUIPMENT

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
**Customer Window, Mail Stop Patent Application**  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date  
under the International Convention of the following Korean application:


Appln. No. 2003-0016757 filed March 18, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

  
Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: February 12, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0016757  
Application Number

출원 년 월 일 : 2003년 03월 18일  
Date of Application MAR 18, 2003

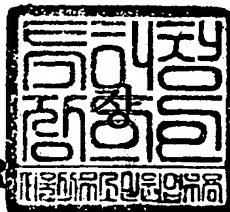
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003    년    04    월    03    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.18
【발명의 명칭】	이온주입설비의 이온주입 에너지 테스트방법
【발명의 영문명칭】	testing method of ion-implanting energy for ion-implanter
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2003-002377-2
【발명자】	
【성명의 국문표기】	송두근
【성명의 영문표기】	SONG,Doo Guen
【주민등록번호】	680723-1030511
【우편번호】	442-729
【주소】	경기도 수원시 팔달구 영통동 산나무실신원아파트 642동 1404호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	12 항 493,000 원
【합계】	522,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체기판에 대한 원자 이온의 주입 깊이를 결정하는 이온주입설비의 이온주입 에너지 정도를 테스트하고, 다른 이온주입설비의 이온주입 에너지 정도를 검증하기 위한 이온주입설비의 이온주입 에너지 테스트방법에 관한 것으로서, 이에 대한 특징은, 이온주입설비의 이온주입 에너지 정도를 테스트하기 위한 방법에 있어서, 반도체기판에 제 1 도전형 이온주입 영역으로 이루어진 제 1 웰을 미리 형성하고, 상기 제 1 웰 영역에 대응하여 상기 제 1 도전형 이온과는 다른 원자의 제 2 도전형 이온을 에너지 조건을 변경시켜 주입하여 제 2 웰을 만든 후, 상기 제 1, 2 웰의 경계 영역에서의 제 1, 2 도전형 이온들의 도우즈 중첩 정도에 따른 반도체기판의 면저항 값을 측정함에 의해 이온주입 에너지 정도를 테스트하는 것으로 이루어진다. 이에 따르면, 이온주입설비의 이온주입 에너지 정도를 서로 다른 원자의 불순물 도핑으로 이루어진 적어도 두 개 이상의 웰 간의 경계 영역 저항 값으로 테스트하여 이를 통해 각 도핑 깊이를 확인하여 이온주입 에너지 정도를 확인할 수 있을 뿐 아니라 복수의 이온주입설비의 이온주입 에너지 정도를 검증할 수 있어 그에 따른 공정 불량을 방지하여 제조수율이 향상되는 효과가 있다.

**【대표도】**

도 4

**【색인어】**

이온주입설비, 이온주입 에너지, 웰, 면저항

**【명세서】****【발명의 명칭】**

이온주입설비의 이온주입 에너지 테스트방법{testing method of ion-implanting energy for ion-implanter}

**【도면의 간단한 설명】**

도 1은 일반적인 트윈 웰 구조의 반도체소자 구성을 개략적으로 나타낸 단면도이다.

도 2는 일반적인 트리플 웰 구조의 반도체소자 구성을 개략적으로 나타낸 단면도이다.

도 3은 반도체기판에 대한 이온주입설비의 이온주입 에너지를 변동시키며 각각의 단일 웰을 형성한 것으로부터 각각의 면저항 관계를 나타낸 그래프이다.

도 4는 본 발명에 따른 반도체기판에 대한 이온주입설비의 이온주입 에너지를 변동시키며 각각의 2중 웰 형성한 것으로부터 각각의 면저항 관계를 나타낸 그래프이다.

도 5는 도 4의 실시예에 따른 각 도전형 물질의 분포 관계 및 면저항 관계를 설명하기 위한 그래프이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <6>        본 발명은 반도체기판에 대한 원자 이온의 주입 깊이를 결정하는 이온주입설비의 이온주입 에너지 정도를 테스트하고, 다른 이온주입설비의 이온주입 에너지 정도를 검증하기 위한 이온주입설비의 이온주입 에너지 테스트방법에 관한 것이다.
- <7>        종래의 반도체소자의 웰 구조(well scheme)는, 도 1에 도시한 바와 같이, 트윈 웰(twin well) 구조가 주류를 차지하여 왔으며, 이러한 전형적인 웰 구조는 공정의 편의성(1 step well lip)을 가지고 있으나, P웰이 p형 기판(P-sub)과 연결되어 있어 서로 다른 독립적인 바이어싱(biasing)이 불가능하였다.
- <8>        이러한 트윈 웰 구조의 단점을 보완하고자 현재의 디바이스는, 도 2에 도시한 바와 같이, 대부분 트리플 웰(triple well) 구조를 도입하였으며, 트리플 웰 구조 하에서는 각각의 P웰 레이어에 독립적인 바이어싱이 가능하며, 다이나믹 랜덤 액세스 메모리(dynamic random access memory: DRAM) 동작에서 트랜지스터의 특성 향상을 기대할 수 있다.
- <9>        비근한 예로서 DRAM 셀(cell) 영역을 딥 n 웰(deep n well)로 감싸진 포켓 p 웰(pocket p well) 영역에 형성하고, 나머지 주변 회로영역(peripheral region)은 n 웰의 외측의 p형 기판에 형성함으로써 도우너(donor)를 이루는 n 웰을 기준으로 하여 양측의 억셉터(acceptor)인 p 웰이 상호 구분됨으로써 이들 p 웰은 상호 독립적인 바이어싱이 이루어질 수 있다.

- <10> 즉, DRAM 이 P형 기판을 이용하여 제조될 때, 메모리 셀 영역의 n채널 MOS 트랜지스터와 주변 회로 영역의 n채널 및 p 채널 MOS 트랜지스터들은 다른 웰(터브-tub)들에 종종 형성된다.
- <11> 이러한 구조는 주변 회로 영역에서 유발된 노이즈가 메모리 셀 영역에 영향을 미치지 않도록 하고, 메모리 셀 영역의 기판 바이어스는 주변 회로 영역에 독립적으로 제어될 수 있으며, 주변 회로 영역의 헵 채널(short-channel effect)은 쉽게 제어될 수 있을 뿐 아니라 기판 전압 발생 회로는 더 작게 만들어질 수 있다.
- <12> 그러나, 메모리 셀 영역의 n채널 MOS 트랜지스터와 주변 회로 영역의 n채널 및 p채널 MOS 트랜지스터들을 다른 웰들에 형성하기 위해서, 메모리 셀 영역의 p 웰은 p형 실리콘 기판과 분리되어야만 한다. 이에 따라 메모리 셀 영역의 p웰을 덮도록 p웰 보다 더 깊은 n웰을 형성하는 트리플 웰 구조는 필수적이다.
- <13> 이에 대한 기술은 USP NO. 5,397,734에 'METHOD OF FABRICATING A SEMICONDUCTOR MEMORY DEVICE HAVING A TRIPLE WELL STRUCTURE'에 게재되어 있다.
- <14> 이상에서 밝힌 바와 같이, 트리플 웰 구조 하에서의 딥 n 웰 기판과 포켓 p 웰의 설계 콘트롤(projected range control)은 최적의 트리플 웰을 구성하는 주요 변수로 작용하며, 이러한 딥 n 웰의 형성에 따른 이온주입설비에서의 높은 수준의 이온주입 에너지 콘트롤은 반도체소자의 특성을 위해 매우 중요한 항목이다.
- <15> 이러한 관계에 있어서, 대량 생산라인의 이온주입설비별 이온주입 에너지 이상 유무의 확인은 필수적이다.

- <16> 비록 이온주입설비에는 이온주입 에너지를 컨트롤 할 수 있는 제어장치가 구비되어 있으나 이온주입 에너지는 일반적으로 수백~수천(kV)의 고전압 상태를 이룸에 따라 이온주입 에너지가 정상적인 설정 값에 있는지를 확인하기에는 많은 어려움이 있으며, 복수 이온주입설비들이 모두 동일한 수준으로 제어가 이루어지는지의 확인 또한 필수적이다.
- <17> 상술한 바와 같이, 실리콘 기판에 웰을 형성하기 위한 각 이온주입설비의 높은 수준의 이온주입 에너지 정도를 확인하기 위한 종래 기술은, 실리콘 웨이퍼 내에 주사된 이온들의 웰 설계 에너지 컨트롤(well projected range energy control)을 위해 질량분석(Secondary Ion Mass Spectrometer :SIMS)이나 면저항(Sheet resistance :RS)측정 등을 이용한 공정 모니터링들이 수행되어져 왔다.
- <18> 이에 대하여 도 3에 도시한 그래프는, 어느 하나의 이온주입설비를 통해 이온주입 에너지 정도를 약 5% 범위로 변화시켜 그에 대한 PS 측정을 실시한 결과로서, 이를 통해 확인할 수 있듯이 RS 측정 등을 이용한 공정 모니터링 과정에서 이온주입설비의 이온주입 에너지 변동에 대한 정확한 판단에 어려움이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

- <19> 본 발명의 목적은, 종래 기술의 문제를 해결하기 위한 것으로서, 이온주입설비의 이온주입 에너지 정도를 서로 다른 원자의 불순물 도핑으로 이루어진 적어도 두 개의 상의 웰 간의 경계 영역 저항 값으로 테스트를 실시하여 이를 통해 각 도핑 깊이를 확인토록 하며, 그에 따른 이온주입 에너지 정도 확인과 복수의 이온주입설비의 이온주입 에



너지 정도의 검증 및 균일한 수준으로 형성할 수 있도록 하는 이온주입설비의 이온주입 에너지 테스트방법을 제공함에 있다.

### 【발명의 구성 및 작용】

- <20>       상기 목적을 달성하기 위한 본 발명의 특징은, 이온주입설비의 이온주입 에너지 정도를 테스트하기 위한 방법에 있어서, 반도체기판에 적어도 2중 이상의 웰을 형성하여 웰 경계 영역에서의 제 1, 2 도전형 이온들의 도우즈 중첩 정도에 따른 반도체기판의 면저항 값을 측정함에 의해 이온주입 에너지 정도를 테스트하는 것으로 이루어진다.
- <21>       또한, 상기 목적을 달성하기 위한 본 발명의 특징은, 이온주입설비의 이온주입 에너지 정도를 테스트하기 위한 방법에 있어서, 반도체기판에 제 1 도전형 이온주입 영역으로 이루어진 제 1 웰을 미리 형성하고, 상기 제 1 웰 영역에 대응하여 상기 제 1 도전형 이온과는 다른 원자의 제 2 도전형 이온을 에너지 조건을 변경시켜 주입하여 제 2 웰을 만든 후, 상기 제 1, 2 웰의 경계 영역에서의 제 1, 2 도전형 이온들의 도우즈 중첩 정도에 따른 반도체기판의 면저항 값을 측정함에 의해 이온주입 에너지 정도를 테스트하는 것으로 이루어진다.
- <22>       이하, 본 발명의 실시예에 따른 이온주입설비의 이온주입 에너지 테스트방법에 대하여 첨부한 도면을 참조하여 설명하기로 한다.
- <23>       도 4는 본 발명에 따른 반도체기판에 대한 이온주입설비의 이온주입 에너지를 변동시키며 각각의 2중 웰 형성한 것으로부터 각각의 면저항 관계를 나타낸 그래프이이고,

도 5는 도 4의 실시예에 따른 각 도전형 물질의 분포 관계 및 면저항 관계를 나타낸 그래프로서, 종래와 동일한 부분에 대하여 상세한 설명은 생략하기로 한다.

- <24> 본 발명에 따른 이온주입설비의 이온주입 에너지 테스트방법의 일 예를 살펴보면, 반도체기판에 적어도 2중 이상의 웰을 형성하여 웰 경계 영역에서의 제 1, 2 도전형 이온들의 도우즈 중첩 정도에 따른 반도체기판의 면저항 값을 측정함에 의해 제 1, 2 도전형 이온들의 주입 깊이에 따른 이온주입 에너지 정도를 테스트하는 것으로 이루어진다.
- <25> 이와는 다른 방법의 실시예로는, 반도체기판에 제 1 도전형 이온주입 영역으로 이루어진 제 1 웰을 미리 형성하고, 제 1 웰 영역에 대응하여 제 1 도전형 이온과는 다른 원자의 제 2 도전형 이온을 에너지 조건을 변경시켜 주입하여 제 2 웰을 만든 후, 상기 제 1, 2 웰의 경계 영역에서의 제 1, 2 도전형 이온들의 도우즈 중첩 정도에 따른 반도체기판의 면저항 값을 측정함에 의해 이온주입 에너지 정도를 테스트하는 것으로 이루어질 수 있다.
- <26> 또한, 제 1 웰은 제 1 도전형 이온으로 하여금 반도체기판의 하부 위치에서 도핑 영역을 이루도록 하여 형성하고, 제 2 웰은 제 2 도전형 이온으로 하여금 제 1 웰에 감싸진 상부에 도핑 영역을 이루도록 하여 형성한 것으로 이루어진다.
- <27> 이와는 반대로 제 1 웰은 제 1 도전형 이온으로 하여금 반도체기판의 상부에서 도핑 영역을 이루도록 하여 형성하고, 제 2 웰은 제 2 도전형 이온으로 하여금 제 1 웰 보다 하부에서 도핑 영역을 이루도록 하여 형성하여 이루어질 수도 있다.
- <28> 이에 더하여, 제 1 웰의 형성은 복수 반도체기판에 대하여 각기 다른 이온주입설비로부터 동일한 이온주입 에너지의 설정으로 각각 형성하고, 이들 반도체기판에 대한 제

2 웰의 형성은 어느 하나의 이온주입설비로부터 변경 설정한 이온주입 에너지로 각각 형성하여 실시하는 것으로 이루어질 수 있다.

<29> 또는, 제 1 웰의 형성은 복수 반도체기판에 대하여 어느 하나의 이온주입설비로부터 설정한 이온주입 에너지로 각각 형성하고, 이들 반도체기판에 대한 제 2 웰의 형성은 각기 다른 이온주입설비로부터 동일하게 변경 설정한 이온주입 에너지로 각각 형성하여 실시하여 이루어질 수도 있다.

<30> 이러한 과정을 거친 복수 반도체기판에 대한 제 1, 2 웰이 이루는 경계 영역에서의 제 1, 2 도전형 불순물의 중첩 정도에 따른 각 반도체기판에 대한 각각의 면저항 값으로부터 각 이온주입설비의 이온주입 에너지 정도를 비교 검증하고, 이로부터 각 이온주입설비의 이온주입 에너지 정도의 보정 값을 구하는 것으로 복수의 반도체이온주입설비의 이온주입 에너지 수준을 동일한 범위에 있도록 형성할 수 있는 것이다.

<31> 한편, 하나의 이온주입설비에 대한 이온주입 에너지 수준을 판단함에 있어서, 제 1 웰 또는 제 2 웰 중 어느 하나는 복수 반도체기판에 대하여 어느 하나의 이온주입설비로부터 이온주입 에너지 정도를 소정의 단위 범위로 변경시키며 각각 형성하고, 다른 하나의 웰 형성은 변경 설정한 동일 이온주입 에너지 조건으로 각각 형성하여 실시한다.

<32> 그리고, 상술한 바와 같이, 복수 반도체기판에 대한 상기 제 1, 2 웰이 이루는 경계 영역에서의 상기 제 1, 2 도전형 불순물의 중첩 정도에 따른 반도체기판 상의 면저항 값을 각각 비교하여 각 이온주입설비의 이온주입 에너지 정도를 검증하고, 이러한 과정을 각 이온주입설비에 적용 실시함으로써 각각의 이온주입 에너지 정도의 보정 값을 구하는 단계를 더 구비하여 이루어질 수 있다. 여기서, 이온주입 에너지 정도에 대한 소

정 단위 범위의 차이는 상기 설정한 이온주입 에너지의 0.5~8%로 설정함이 바람직하다.

- <33> 이러한 과정에 더 첨부하면, 반도체기판은 p형 불순물을 도핑한 것으로 하고, 제 1, 2 웰 중 하부층에 위치한 어느 하나의 웰은 n형 불순물을 도핑한 것으로 하며, 상부층에 위치한 다른 하나의 웰은 p형 불순물을 도핑한 것으로 하여 실시하여 이루어질 수 있다.
- <34> 그리고, 이와는 반대로 반도체기판은 n형 불순물을 도핑한 것으로 하고, 제 1, 2 웰 중 하부층에 위치한 어느 하나의 웰은 p형 불순물을 도핑한 것으로 하며, 상부층에 위치한 다른 하나의 웰은 n형 불순물을 도핑한 것으로 하여 실시하는 것 또한 무방한 것이다.
- <35> 이상에서 밝힌 바와 같이, 이온주입설비의 이온주입 에너지를 측정하기에 앞서 그 시편을 이루는 반도체기판에 제 1, 2 웰을 포함한 적어도 두 개 이상의 웰을 형성하고, 이들이 이루는 경계 영역 즉, 제 1, 2 웰의 형성에 따른 도핑된 제 1, 2 도전형 불순물의 중첩 정도에 대한 면저항 값을 측정함으로써 이온주입설비의 이온주입 에너지를 측정할 수 있는 것이다.
- <36> 상술한 과정으로부터 그 측정 결과를 살펴보면, 도 4에 도시한 바와 같이, 각각의 이온주입설비로부터 이온주입 에너지를 변화시키며 그 경계 영역 즉, 설정 위치에 대한 측정된 면저항 값은 이온주입 에너지 수준의 변화에 대응하여 명확한 차이를 갖는 것을 알 수 있다.

<37> 이것은, 도 5에 도시한 바와 같이, 시편을 이루는 복수 반도체기판에 어느 하나의 웰을 동일한 이온주입 에너지 수준으로 각각 형성하고, 이들에 대하여 각기 다른 이온주입 에너지로 다른 웰을 형성하면, 이들 사이에서 상호 중첩이 있는 부위는 이온주입 에너지 수준의 차이로 그 경계 영역이 변화됨에 따른 것이다.

<38> 이에 대하여 상술한 제 1, 2 웰의 형성은 하부층에 위치하는 것과 그 상부에 위치하는 것 중 어느 것을 먼저 시행하여도 무관하다고 할 수 있으나 가능한 하부층을 이루는 웰을 먼저 형성하고, 그 위에 상부에 있는 웰을 형성하여 실시하는 것이 바람직하다 할 것이다.

<39> 상술한 과정과 결과를 통해 대량 생산체제의 생산라인 내에 있는 복수 이온주입설비의 이온주입 에너지에 대하여 상호 그 설정값을 동일한 범위에 있도록 조절할 수 있음에 따라 적어도 두 개 이상의 이온주입설비를 통한 이온주입 공정을 거치는 반도체 웨이퍼는 이들 간의 이온주입 에너지 차이에 의한 공정 불량률 사전에 예방할 수 있는 것이다.

#### 【발명의 효과】

<40> 따라서, 본 발명에 의하면, 이온주입설비의 이온주입 에너지 정도를 서로 다른 원자의 불순물 도핑으로 이루어진 적어도 두 개 이상의 웰 간의 경계 영역 저항 값으로 테스트하여 이를 통해 각 도핑 깊이를 확인하여 이온주입 에너지 정도를 확인할 수 있을 뿐 아니라 복수의 이온주입설비의 이온주입 에너지 정도를 검증할 수 있어 그에 따른 공정 불량률 방지하여 제조수율이 향상되는 효과가 있다.

<41>        본 발명은 구체적인 실시예에 대해서만 상세히 설명하였지만 본 발명의 기술적 사상의 범위 내에서 변형이나 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이며, 그러한 변형이나 변경은 본 발명의 특허청구범위에 속한다 할 것이다.

**【특허청구범위】****【청구항 1】**

이온주입설비의 이온주입 에너지 정도를 테스트하기 위한 방법에 있어서,  
반도체기판에 적어도 2중 이상의 웰을 형성하여 웰 경계 영역에서의 제 1, 2 도전형 이온들의 도우즈 중첩 정도에 따른 반도체기판의 면저항 값을 측정함에 의해 이온주입 에너지 정도를 테스트하는 것을 특징으로 하는 이온주입설비의 이온주입 에너지 테스트방법.

**【청구항 2】**

이온주입설비의 이온주입 에너지 정도를 테스트하기 위한 방법에 있어서,  
반도체기판에 제 1 도전형 이온주입 영역으로 이루어진 제 1 웰을 미리 형성하고,  
상기 제 1 웰 영역에 대응하여 상기 제 1 도전형 이온과는 다른 원자의 제 2 도전형 이온을 에너지 조건을 변경시켜 주입하여 제 2 웰을 만든 후, 상기 제 1, 2 웰의 경계 영역에서의 제 1, 2 도전형 이온들의 도우즈 중첩 정도에 따른 반도체기판의 면저항 값을 측정함에 의해 이온주입 에너지 정도를 테스트하는 것을 특징으로 하는 이온주입설비의 이온주입 에너지 테스트방법.

**【청구항 3】**

제 2 항에 있어서,

상기 제 1 웰은 제 1 도전형 이온으로 하여금 반도체기판의 하부에서 도핑 영역을 이루도록 하여 형성하고, 상기 제 2 웰은 제 2 도전형 이온으로 하여금 상기 제 1 웰 보다 상부에서 도핑 영역을 이루도록 하여 형성한 것을 특징으로 하는 상기 이온주입설비의 이온주입 에너지 테스트방법.

**【청구항 4】**

제 2 항에 있어서,

상기 제 1 웰은 제 1 도전형 이온으로 하여금 반도체기판의 상부에서 도핑 영역을 이루도록 하여 형성하고, 상기 제 2 웰은 제 2 도전형 이온으로 하여금 상기 제 1 웰 보다 하부에서 도핑 영역을 이루도록 하여 형성한 것을 특징으로 하는 상기 이온주입설비의 이온주입 에너지 테스트방법.

**【청구항 5】**

제 2 항에 있어서,

상기 제 1 웰의 형성은 복수 반도체기판에 대하여 각기 다른 이온주입설비로부터 동일한 이온주입 에너지의 설정으로 각각 형성하고, 이들 반도체기판에 대한 상기 제 2 웰의 형성은 어느 하나의 이온주입설비로부터 변경 설정한 이온주입 에너지로 각각 형성하여 실시하는 것을 특징으로 하는 상기 이온주입설비의 이온주입 에너지 테스트방법.



**【청구항 6】**

제 2 항에 있어서,

상기 제 1 웰의 형성은 복수 반도체기판에 대하여 어느 하나의 이온주입설비로부터 설정한 이온주입 에너지로 각각 형성하고, 이들 반도체기판에 대한 상기 제 2 웰의 형성은 각기 다른 이온주입설비로부터 동일하게 변경 설정한 이온주입 에너지로 각각 형성하여 실시하는 것을 특징으로 하는 상기 이온주입설비의 이온주입 에너지 테스트방법.

**【청구항 7】**

제 5 항 또는 제 6 항에 있어서,

복수 반도체기판에 대한 상기 제 1, 2 웰이 이루는 경계 영역에서의 상기 제 1, 2 도전형 불순물의 중첩 정도에 따른 각 반도체기판에 대한 각각의 면저항 값으로부터 각 이온주입설비의 이온주입 에너지 정도를 비교 검증하고, 이로부터 각 이온주입설비의 이온주입 에너지 정도의 보정 값을 구하는 단계를 더 구비하여 이루어짐을 특징으로 하는 상기 이온주입설비의 이온주입 에너지 테스트방법.

**【청구항 8】**

제 2 항에 있어서,

상기 제 1 웰 또는 제 2 웰 중 어느 하나는 복수 반도체기판에 대하여 어느 하나의 이온주입설비로부터 이온주입 에너지 정도를 소정의 단위 범위로 변경시키며 각각 형성

하고, 다른 하나의 웰 형성은 변경 설정한 동일 이온주입 에너지 조건으로 각각 형성하여 실시하는 것을 특징으로 하는 상기 이온주입설비의 이온주입 에너지 테스트방법.

**【청구항 9】**

제 8 항에 있어서,

복수 반도체기판에 대한 상기 제 1, 2 웰이 이루는 경계 영역에서의 상기 제 1, 2 도전형 불순물의 중첩 정도에 따른 반도체기판 상의 면저항 값을 각각 비교하여 각 이온주입설비의 이온주입 에너지 정도를 검증하고, 이로부터 각 이온주입설비의 이온주입 에너지 정도의 보정 값을 구하는 단계를 더 구비하여 이루어짐을 특징으로 하는 상기 이온주입설비의 이온주입 에너지 테스트방법.

**【청구항 10】**

제 8 항에 있어서,

상기 이온주입 에너지 정도에 대한 소정 단위 범위의 차이는 상기 설정한 이온주입 에너지의 0.5~8%인 것을 특징으로 하는 상기 이온주입설비의 이온주입 에너지 테스트방법.

**【청구항 11】**

제 2 항에 있어서,

상기 반도체기판은 p형 불순물을 도핑한 것으로 하고, 상기 제 1, 2 웰 중 하부층에 위치한 어느 하나의 웰은 n형 불순물을 도핑한 것으로 하며, 상부층에 위치한 다른 하나의 웰은 p형 불순물을 도핑한 것으로 하여 실시하는 것을 특징으로 하는 상기 이온주입설비의 이온주입 테스트방법.

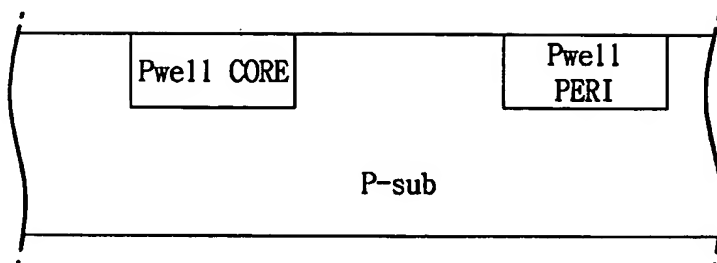
【청구항 12】

제 2 항에 있어서,

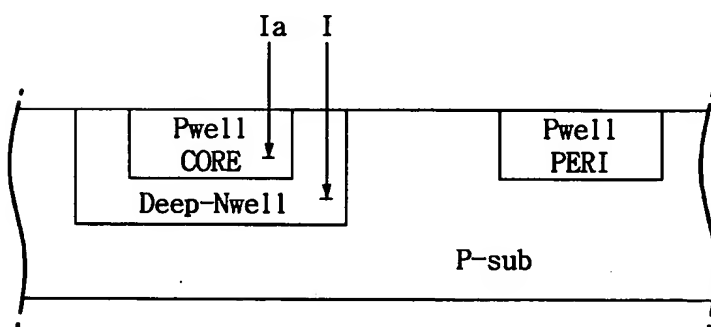
상기 반도체기판은 n형 불순물을 도핑한 것으로 하고, 상기 제 1, 2 웰 중 하부층에 위치한 어느 하나의 웰은 p형 불순물을 도핑한 것으로 하며, 상부층에 위치한 다른 하나의 웰은 n형 불순물을 도핑한 것으로 하여 실시하는 것을 특징으로 하는 상기 이온주입설비의 이온주입 테스트방법.

【도면】

【도 1】

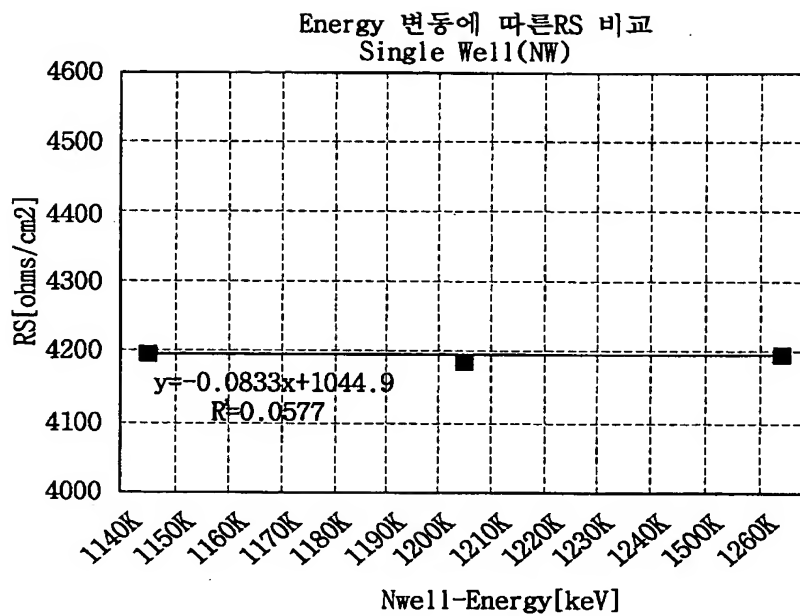


【도 2】

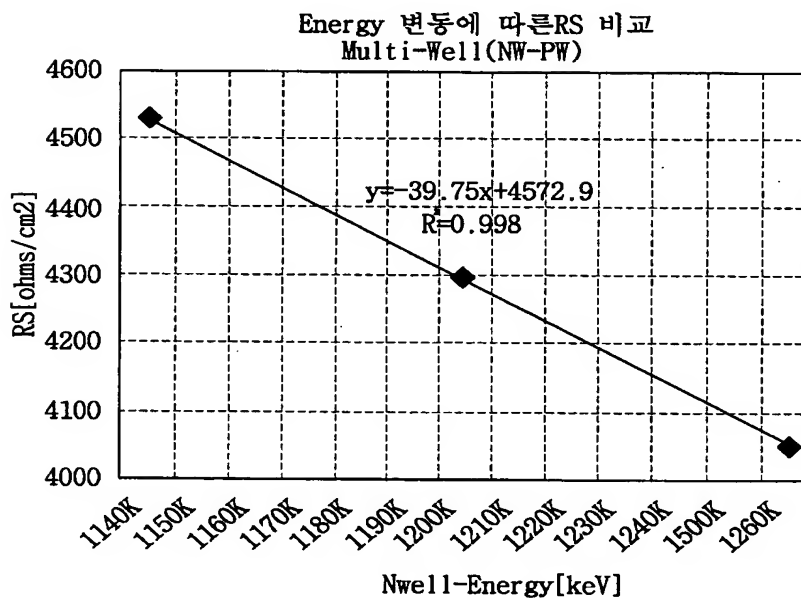




【도 3】



【도 4】



【도 5】

